

(19) 世界知的所有権機関
国際事務局

10/506895

(10) 国際公開番号

(43) 国際公開日
2003年9月12日 (12.09.2003)

PCT

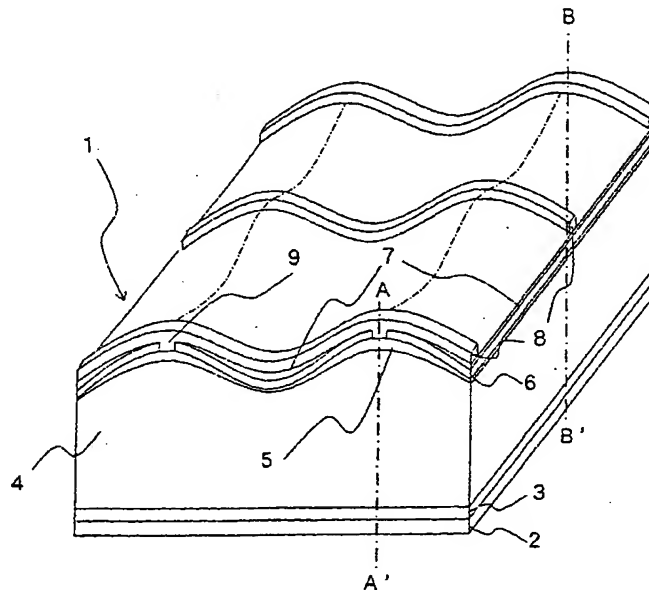
WO 03/075363 A1

- (51) 国際特許分類⁷: H01L 31/04 (72) 発明者; および
(21) 国際出願番号: PCT/JP03/02408 (75) 発明者/出願人 (米国についてのみ): 山崎 一郎
(22) 国際出願日: 2003年3月3日 (03.03.2003) (YAMASAKI, Ichiro) [JP/JP]; 〒635-0831 奈良県 北
(25) 国際出願の言語: 日本語 葛城郡広陵町 馬見北 3-1-13 Nara (JP). 布居 徹
(26) 国際公開の言語: 日本語 (NUNOI, Toru) [JP/JP]; 〒631-0804 奈良県 奈良市 神
(30) 優先権データ: 特願2002-60647 2002年3月6日 (06.03.2002) JP 功 1-4-1 16 Nara (JP).
(71) 出願人 (米国を除く全ての指定国について): シャープ 株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒
545-8522 大阪府 大阪市阿倍野区 長池町 2 2 番 2 2 号 Osaka (JP). (74) 代理人: 野河 信太郎 (NOGAWA, Shintaro); 〒530-0047
大阪府 大阪市北区 西天満 5 丁目 1-3 南森町パーク
ビル Osaka (JP).
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO,

[続葉有]

(54) Title: PHOTOELECTRIC CONVERTING DEVICE AND ITS PRODUCTION METHOD

(54) 発明の名称: 光電変換素子及びその製造方法



(57) Abstract: A photoelectric converting device with a semiconductor substrate of a first conductivity type having an uneven surface, comprising a semiconductor layer of a second conductivity type formed on the semiconductor substrate, a front surface electrode connected to the semiconductor layer, and a back surface electrode formed on the back surface of the semiconductor substrate. The thickness of the semiconductor layer is the greatest at the area in contact with the front surface electrode and becomes less as the distance from the area increases. Thus, a photoelectric converting device having a high reliability and an excellent photoelectric conversion efficiency is realized by a simple production process.

(57) 要約: 表面に凹凸を有する第1導電型半導体基板を用いた光電変換素子において、第1導電型半導体基板表面に形成された第2導電型半導体層と、第2

[続葉有]

PLEASE USE
AMENDED SHEET(2)

WO 03/075363 A1



NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL,
TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU,
ZA, ZM, ZW

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

導電型半導体層と接続された表面電極と、第1導電型半導体基板裏面に形成された裏面電極とからなり、第2導電型半導体層が、表面電極との接触領域で最も厚く、接触領域から離れるにしたがって薄くなる構造を有してなる光電変換素子であり、簡便な製造工程により、信頼性が高く、優れた光電変換効率を実現することができる。

10/506895

明細書

光電変換素子及びその製造方法

技術分野

本発明は、光電変換素子及びその製造方法に関し、より詳細には、シリコン太陽電池
5 等において、受光面の拡散層の厚さを変化させることにより光電変換効率を向上させる
光電変換素子及びその製造方法に関する。

背景技術

従来の光電変換素子は、図8に示すように、例えば、基板としてのP型半導体基板4
2の一表面に形成されたN型半導体層43と、その上に形成された集電極44と、P型
10 半導体基板42の裏面に形成された裏面電極45とから構成されている。

太陽光がN型半導体層43の表面に照射されることにより発生した電流は、N型半導
体層43内を流れ、集電極44から取り出される。

一般に、N型半導体層43は、厚みが薄いほど光の短波長感度が良好となって発生電
流が大きくなるが、その反面、シート抵抗が増加する。そのため、N型半導体層43が
15 薄くなると集電極44から取り出せる電力は低下する。

このことから、光電変換効率を高めるために、N型半導体層の厚みと集電極の配置の
最適化が行われ、例えば、N型半導体層をできるだけ薄くするとともに、集電極の相互
の間隔を適当に狭める工夫がなされている。

しかし、N型半導体層を薄くし過ぎるとシート抵抗が増加してしまうし、集電極の相
20 互の間隔を狭めるとN型半導体層の有効受光面積が減少し、光発生電流が低下するとい
う問題がある。

そこで、N型半導体層のうち集電極形成部分を厚くし、他の部分を薄くした光電変換
素子が提案されている（例えば、特許文献1）。

また、別の例として、図9に示すように、N型半導体層51を、集電極52の相互間
25 の中央部分において薄くし、集電極52に向かって徐々に厚くした光電変換素子が提案
されている（例えば、特許文献2）。この光電変換素子によれば、N型半導体層51が
薄い部分において短波長感度を向上できるとともに、そこで生成されたキャリアは、
徐々に厚くなるN型半導体層51を通して集電極52に向かうため、直列抵抗損失を小
さくすることができる。

しかし、N型半導体層のうち集電極形成部分を厚くし、他の部分を薄くした光電変換素子では、マスクパターンを形成し、2回の不純物拡散を行うことによりN型半導体層を形成する必要がある。

また、図9の光電変換素子では、複数のマスクパターンを形成し、熱拡散を用いて多重拡散又はイオンインプランテーションを行うか、レーザーを用いて多重拡散を行う等によりN型半導体層を形成する必要がある。

従って、いずれの光電変換素子も製造工程が複雑となり、コスト高となるという問題がある。

特許文献1：特開昭62-123778号公報

10 特許文献2：特開平4-356972号公報

本発明は、上記課題に鑑みなされたものであり、簡便な製造工程により、光電変換素子及びその製造方法を提供することを目的とする。

発明の開示

本発明によれば、表面に凹凸を有する第1導電型半導体基板を用いた光電変換素子において、少なくとも該第1導電型半導体基板表面に形成された第2導電型半導体層と、
15 該第2導電型半導体層と接続された表面電極と、前記第1導電型半導体基板裏面に形成された裏面電極とを有し、前記第2導電型半導体層が、表面電極との接触領域から離れるにしたがって薄くなる構造を有してなる光電変換素子が提供される。

また、本発明によれば、(a)表面に凹凸を有する半導体基板上に、不純物拡散の障
20 壁となる膜を、凸部頂点から凹部に向かって厚くなるように形成する工程と、

(b)前記膜を通して第2導電型不純物を導入して前記半導体基板表面に第2導電型半導体層を形成する工程とを含む光電変換素子の製造方法が提供される。

さらに、本発明によれば、(a')表面に凹凸を有する半導体基板上に、第2導電型不純物を含んだ膜を、凸部頂点から凹部に向かって厚くなるように形成する工程と、

25 (b')前記膜から第2導電型不純物を導入して前記半導体基板表面に第2導電型半導体層を形成する工程とを含む光電変換素子の製造方法が提供される。

図面の簡単な説明

図1は、本発明の光電変換素子の概略斜視図である。

図2は、図1の光電変換素子の概略断面図である。

図3は、図1の光電変換素子の製造工程を示すプロセスフロー図である。

図4は、本発明の別の光電変換素子の概略斜視図である。

図5は、本発明のさらに別の光電変換素子の概略斜視図である。

図6は、本発明のさらに別の光電変換素子の概略斜視図である。

5 図7は、図6の光電変換素子の製造工程を示すプロセスフロー図である。

図8は、従来の光電変換素子の概略断面図である。

図9は、従来の別の光電変換素子の概略斜視図である。

発明を実施するための最良の形態

10 本発明の光電変換素子は、主として、表面に凹凸を有する第1導電型半導体基板を用いており、第1導電型半導体基板表面に形成された第2導電型半導体層と、第2導電型半導体層と接続された表面電極と、第1導電型半導体基板裏面に形成された裏面電極とから構成される。

15 半導体基板としては、通常、光電変換素子に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等のIV族元素半導体基板、GaAs、InGaAs等の化合物半導体基板等が挙げられる。なかでも、シリコンが好ましい。なお、半導体基板は、アモルファス、単結晶、多結晶、いわゆるマイクロクリスタル又はこれらが混在するもののいずれであってもよい。

半導体基板は、導電型をもたせるために第1導電型（例えば、N型又はP型）の不純物がドーピングされている。

20 不純物の種類は、用いる半導体材料によって適宜選択することができ、例えば、N型の不純物としては、例えばリン、砒素、アンチモン等が挙げられ、P型の不純物としては、例えばボロン、アルミニウム、ゲルマニウム、インジウム、チタン等が挙げられる。不純物濃度は特に限定されないが、例えば、 $0.1 \sim 10 \Omega \cdot \text{cm}$ 程度の抵抗率を有するように調整することが適当である。

25 また、半導体基板の厚みは、特に限定されないが、適当な強度を確保し、高い光電変換効率を得ることができるよう設定することが好ましく、例えば、平均の厚みとして、 $0.2 \sim 0.4 \text{ mm}$ 程度が挙げられる。

半導体基板は、表面に凹凸を有している。凹凸のパターンは特に限定されず、例えば、同一又は異なる大きさの凸部が等間隔又はランダムに配置されたものや、凹部として溝

が形成されたもの等が挙げられる。なかでも、後述する第2導電型半導体層において発生するキャリアを表面電極から効率よく取り出すために、凸部が等間隔に配置されたものや、溝が所定のピッチで連続して形成されたものが好ましい。凹凸のピッチは、特に限定されるものではないが、後述の表面電極の幅等を考慮して、例えば、1 3 mm程度である。凹凸の高低差は、特に限定されるものではないが、例えば、0. 0 5 0. 1 mm程度が挙げられる。

表面に凹凸を有する半導体基板は、例えば、フォトリソグラフィ及びエッチングにより形成することができる。また、特開平11-339016号公報に記載されているように、凹凸を形成した基体上に半導体基板を成長させることにより形成することができる。なお、基体の凹凸のパターンを変えることにより、半導体基板の凹凸パターンを所望の形状に形成することができる。

第2導電型半導体層は、半導体基板の一表面、つまり、第1導電型半導体基板の表面に形成されており、第2導電型（P型又はN型）の不純物がドーピングされている。不純物濃度は特に限定されないが、例えば、表面濃度が $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度であり、40～150 Ω/\square 程度の平均シート抵抗を有するように調整することが適当である。第2導電型半導体層の膜厚は、例えば、最も厚いところで0. 3～0. 6 μm 程度、最も薄いところで0. 1～0. 2 μm 程度であることが適当である。

なお、第2導電型半導体層上には窒化シリコン膜等の反射防止膜や、例えばチタンガラスを形成することのできるTG液（テトラ-*i*-プロポキシチタンとアルコール等とを混合した液）や、シリコンガラスを形成することのできるSG液（珪酸エチルとアルコール等とを混合した液）等を塗布した塗布膜または保護膜等が形成されていてもよい。反射防止膜の膜厚は、例えば、60～110 nm程度、塗布膜等の膜厚は、例えば、200 nm～1 μm 程度が挙げられる。

表面電極を構成する材料としては、特に限定されるものではなく、例えばアルミニウム、銀、銅、アルミニウム・リチウム合金、マグネシウム・銀合金、インジウム等が挙げられる。

裏面電極は、半導体基板裏面に形成されており、例えば、裏面全面にわたって形成されていることが好ましい。裏面電極の膜厚及び材料は、表面電極と同様に適宜調整及び選択することができる。

本発明の光電変換素子において、特に、凸部で厚く凹部で薄い第2導電型半導体層を有する光電変換素子の場合には、第2導電型半導体層は、後述する表面電極との接触領域から離れるにしたがって薄くなる構造を有している。言い換えると、半導体基板の凸部から凹部に向かって薄くなる膜厚を有することが好ましい。さらに好ましい形態として、溝が連続して形成される半導体基板では、第2導電型半導体層の膜厚は、溝と溝との間に位置する縞状の凸部頂点において最も厚くなり、その頂点から溝底部にかけて一様に薄くなるか、あるいは、等間隔又は格子状の凸部を有する半導体基板では、第2導電型半導体層の膜厚は、凸部頂点においてのみ最も厚くなり、凸部頂点から略放射状に凹部に向かって薄くなるのが好ましい。凹凸のピッチは、特に限定されるものではないが、後述の表面電極の幅等を考慮して、例えば、1～3 mm程度である。凹凸の高低差は、特に限定されるものではないが、例えば、0.05～0.1 mm程度が挙げられる。

この場合、表面電極は、第2導電型半導体層と一部の領域において接続されている。表面電極と第2導電型半導体層とが接触する領域は、特に限定されるものではないが、例えば、第2導電型半導体層の最も厚い領域において接触していることが適当である。例えば、半導体基板に溝が連続して形成されている場合には、溝と溝との間に位置する縞状の凸部頂点における線状の領域で接触していてもよいし、凸部頂点に等間隔で配置される接触領域において接触していてもよい。あるいは等間隔又は格子状の凸部を有する半導体基板の場合には、凸部頂点においてのみ点状に接触していてもよい。表面電極と第2導電型半導体層との接触領域の形状はどのようなものであってもよいが、コンタクト抵抗、表面再結合等を考慮して、全体で基板表面に対して0.1%程度以上、3%程度以下の接触面積を有することが好ましい。

表面電極の形状は、特に限定されないが、等間隔又は格子状の凸部を有する半導体基板を用いる場合には、1つの表面電極が複数の凸部頂点を通るように、複数本形成されるのが好ましい。表面電極の膜厚は、例えば、5～20 μm 程度が挙げられ、幅は、例えば50～150 μm 程度が適当であり、表面電極間のピッチは均一であることが好ましい。このピッチは、半導体基板の凸部の配置によって適宜調整され、例えば1～3 mm程度が適当である。

本発明の第1の光電変換素子の製造方法においては、まず、工程(a)において、表面に凹凸を有する第1導電型半導体基板上に、不純物拡散の障壁となる膜を、凸部から凹部に向かって厚くなるように形成する。

また、第2導電型半導体層を形成する方法は、半導体基板表面に第2導電型の不純物を気相拡散、固相拡散、イオン注入等によってドーピングする方法、第2導電型半導体層を、第2導電型不純物をドーピングしながら成長させる方法等のいずれの方法であってもよい。

半導体基板上に不純物拡散の障壁となる膜を形成する方法は、適当な膜形成用の塗布液を、回転塗布、ディップ法、スプレー法等により半導体基板上に塗布し、乾燥する方法が挙げられる。なかでも、凹凸を有する基板表面に対し、塗布液を回転塗布等の方法で塗布する場合には、凹部に液が溜まり易いため、容易に、塗布膜を、半導体基板の凸部から凹部に向かって連続的又は段階的に厚くなるように形成することができる。

塗布液としては、例えば、チタンガラスを形成することのできるTG液や、シリコンガラスを形成することのできるSG液等が挙げられる。塗布膜の膜厚は、塗布膜自体の材料、後述する第2導電型の不純物の拡散方法及び不純物の種類等によって適宜調整することができ、例えば、膜厚が最も厚い部分では50～300nm程度、最も薄いところでは0～50nm程度が適当である。

工程(b)において、先に形成された膜を通して、得られた半導体基板に第2導電型不純物を導入して半導体基板表面に第2導電型半導体層を形成する。

第2導電型不純物の導入は、先に半導体基板上に形成された不純物拡散の障壁となる膜を通して行うため、この膜の膜厚が厚いほど、不純物は導入されにくくなり、その結果、第2導電型半導体層は薄く形成される。つまり、第2導電型半導体層は、半導体基板表面の凸部から凹部に向かって薄くなるような膜厚勾配を有して形成される。ここで不純物の導入は、不純物拡散の障壁となる膜を通して行うことができる方法であれば特に限定されるものではなく、気相拡散(熱拡散)、固相拡散、イオン注入等の種々の方法が挙げられる。なかでも、工程の簡便さから、気相拡散を利用することが好ましい。この場合の条件は、当該分野で公知の条件を組み合わせ設定することができる。

上記障壁膜をエッチング除去した後、プラズマCVD法、大気圧CVD法、回転塗布法などを用いて受光面側の第2導電型半導体層の表面に窒化シリコン、酸化チタンなどの反射防止膜を形成してもよい。

次に、半導体基板の裏面に形成された第2導電型半導体層をエッチング除去する。さらに、裏面にアルミペーストを印刷、焼成して、裏面電界層及び裏面電極を形成することが好ましい。

本発明においては、さらに、工程(c)において、得られた半導体基板表面の凸部において第2導電型半導体層と接触する表面電極を形成することが好ましい。表面電極の形成方法は、特に限定されるものではなく、例えば、蒸着、CVD法、EB法、印刷・焼成法等の種々の方法が挙げられる。なかでも、半導体基板の凸部頂点を通るように、導電性ペーストを用いて表面電極を印刷・焼成することにより、簡便かつ確実に、塗布膜の膜厚の薄い凸部頂点付近で反射防止膜を突き抜けて第2導電型半導体層と表面電極とを接触させることができるため、印刷焼成法が好ましい。この場合の条件は、当該分野で公知の材料及び条件等を組み合わせて適宜設定することができる。

溝状の凸部に垂直に表面電極を形成する場合や格子状の凹凸を有する半導体基板の凸部を通るように表面電極を形成する場合、上記表面電極を形成する前に、上記反射防止膜の表面にSG液等を回転塗付法などを用いて塗付・乾燥・焼成することで、凸部から凹部に向かって連続的に厚くなるような塗付膜を形成することが望ましい(図2)。この場合、表面電極の焼成において、塗付膜の膜厚の薄い凸部では塗付膜および反射防止膜を突き抜けて第2導電型半導体層と表面電極とが接触するが、塗付膜の膜厚の厚い凹部では表面電極が貫通できない。その結果、表面電極は凸部頂点付近で第2導電型半導体層と点状に接触する。この接触領域を狭くできる結果、少数キャリアの再結合速度を小さく抑制し、光電変換素子の特性を向上することができる。

最後に、表面電極に半田コートして光電変換素子が完成する。

なお、本発明の光電変換素子の製造方法においては、さらに、裏面電界層の形成、裏面電極の形成、反射防止膜の形成、保護膜等の形成を当該分野で公知の方法によって行うことができ、これにより、光電変換素子を完成させることができる。なお、裏面電界層は、裏面に到達した少数キャリアが裏面電極で再結合するのを防止して、高効率化に

寄与するものであり、これを実現するものであれば、当該分野で通常使用される材料、方法により形成することができる。

また、本発明の光電変換素子において、特に、凸部で薄く凹部で厚い第2導電型半導体層を有する光電変換素子の場合には、上述のように、半導体基板は、表面に凹凸を有しているが、なかでも、後述のように、表面電極との接触領域となる凹部の底部付近以外の第2導電型半導体層を薄くでき、等価的に第2導電型半導体層をより薄膜化できることから、凸部が縞状に等間隔で配置されたものがより好ましい。凹凸のピッチは、特に限定されるものではないが、後述の表面電極の幅等を考慮して、例えば、1～3 mm 程度である。凹凸の高低差は、特に限定されるものではないが、例えば、0.05～0.1 mm 程度が挙げられる。

この場合の第2導電型半導体層は、後述する表面電極との接触領域から離れるにしたがって薄くなる構造を有している。言い換えると、半導体基板の凹部から凸部に向かって薄くなる膜厚を有することが好ましい。さらに好ましい形態として、溝が連続して形成される半導体基板では、第2導電型半導体層の膜厚は、溝と溝との間に位置する縞状の凸部頂点において最も薄くなり、その頂点から溝底部にかけて一様に厚くなるか、あるいは、等間隔又は格子状の凸部を有する半導体基板では、第2導電型半導体層の膜厚は、凸部において最も薄くなり、凸部から凹部に向かって厚くなるのが好ましい。

本発明の第2の光電変換素子の製造方法においては、まず、工程(a')において、表面に凹凸を有する第1導電型半導体基板上に、第2導電型不純物を含んだ膜を、凸部から凹部に向かって厚くなるように形成する。当該膜を形成する方法は、適当な膜形成用の塗布液を、回転塗布、ディップ法、スプレー法等により半導体基板上に塗布し、乾燥する方法が挙げられる。なかでも、凹凸を有する基板表面に対し、塗布液を回転塗布等の方法で塗布する場合には、凹部に液が溜まり易いため、容易に、塗布膜を、半導体基板の凸部から凹部に向かって連続的又は段階的に厚くなるように形成することができる。

塗布液としては、例えば、PSG液(SG液に五酸化リン等のリン源となるものを混合した液)等が挙げられる。塗布膜の膜厚は、塗布膜自体の材料、不純物の種類等によって適宜調整することができ、例えば、膜厚が最も厚い部分では50～300 nm程度、最も薄いところでは0～50 nm程度が適当である。

工程 (b') において、加熱することにより先に形成された膜から半導体基板表面に第2導電型不純物を導入して半導体基板表面に第2導電型半導体層を形成する。

第2導電型不純物の導入は、先に半導体基板上に形成された不純物を含む膜からの拡散を用いて行うため、この膜の膜厚が薄いほど、不純物は導入されにくくなり、その結果、第2導電型半導体層は薄く形成される。つまり、第2導電型半導体層は、半導体基板表面の凹部から凸部に向かって薄くなるような膜厚勾配を有して形成される。

次に、上記膜をエッチング除去した後、プラズマCVD法などを用いて受光面側の第2導電型半導体層の表面に反射防止膜を形成する。さらに、裏面にアルミペーストを印刷、焼成して、裏面電界層及び裏面電極を形成する。

本発明においては、さらに、工程 (c') において、得られた半導体基板表面の凹部において第2導電型半導体層と線状で接触する表面電極を形成することが好ましい。表面電極の形成方法は、特に限定されるものではなく、例えば、蒸着、CVD法、EB法、印刷・焼成法等の種々の方法が挙げられる。なかでも、半導体基板の凹部底部を通るように、導電性ペーストを用いて表面電極を印刷・焼成することにより、簡便かつ確実に、第2導電型半導体層の膜厚の厚い凹部底部で反射防止膜を突き抜けて表面電極と第2導電型半導体層とを接触させることができるため、印刷焼成法が好ましい。この場合の条件は、当該分野で公知の材料及び条件等を組み合わせて適宜設定することができる。

最後に、表面電極に半田コートして光電変換素子が完成する。

以下、本発明の光電変換素子及びその製造方法について、図面に基づいて詳細に説明する。

実施例 1

光電変換素子 1 は P 型半導体基板を用いたものであり、図 1 及び図 2 に示したように、第1導電型である P 型半導体基板 4 と、P 型半導体基板 4 の表面に形成された第2導電型である N 型半導体層 5 と、その上に形成された反射防止膜 6 及び塗布膜 7 と、P 型半導体基板 4 の裏面に形成された裏面電界層 3 とを有し、さらに、受光面である P 型半導体基板 4 の表面に、一方向に延設された線状の複数の表面電極 8 と、P 型半導体基板 4 の裏面に形成された裏面電極 2 とを備えて構成される。

P 型半導体基板の表面は格子状の凹凸を有しており、N 型半導体層の厚さは、凸部頂点で最も厚く、凸部頂点から略放射状に凹部に向かって連続的に薄く形成されている。

一方、塗布膜 7 は、P 型半導体基板表面の凹部では厚く、凸部では薄く形成されている。表面電極 8 は、P 型半導体基板の凸部上の接触部 9 において、N 型半導体層 5 と部分的に接触している。

この光電変換素子 1 は、図 3 のプロセスフローに従って形成することができる。

- 5 まず、均一な大きさの凸部が格子状に等間隔（ピッチ：2 mm）に配置された P 型半導体基板（最も厚い部分の厚さが 300 μm 程度、最も薄い部分の厚さが 200 μm 程度）上に、SG 液を回転塗布法により塗布し、不純物の拡散に対して障壁となる塗布膜を形成する。これにより、塗布膜は、凸部頂点において、最も薄く形成され、凸部頂点から略放射状に凹部に向かって連続的に厚く形成される。塗布膜の膜厚は、最も厚い部分で 250 nm 程度、最も薄い部分で 20 nm 程度に形成される。

- 次に、塗布膜が形成された状態で、P 型半導体基板に N 型不純物を熱拡散して N 型半導体層を形成する。N 型半導体層の厚さは、凸部頂点で最も厚く形成され、凸部頂点から略放射状に凹部に向かって連続的に薄く形成される。ここでは、リンを 850℃ で拡散した。この場合、シリコン中、塗布膜中のリンの拡散係数は、それぞれ約 $5 \times 10^{-15} \text{ cm}^2/\text{秒}$ 、約 $3 \times 10^{-15} \text{ cm}^2/\text{秒}$ となるので、10 分の拡散で最も薄い部分では約 0.1 μm 、最も厚い部分では約 0.4 μm に形成される。

続いて、エッチングにより塗布膜を除去した後、プラズマ CVD 法により N 型半導体層表面に膜厚 700 nm 程度の略均一な膜厚の窒化シリコン膜を堆積して反射防止膜を形成する。

- 20 さらに、裏面エッチングを行って裏面側に形成された N 型半導体層を除去した後、裏面にアルミペーストを印刷、焼成して、膜厚 5 μm 程度の裏面電界層及び膜厚 50 μm 程度の裏面電極を形成する。

- 次に、基板表面に SG 液を、回転塗布により塗布し、塗布膜を形成する。このとき、塗布膜の膜厚は、凸部頂点で最も薄く、凸部から略放射状に凹部に向かって連続的に厚くなる。塗布膜の膜厚は、最も厚い部分で 100 nm 程度、最も薄い部分で 5 nm 程度に形成される。

その後、塗布膜上に銀ペーストを印刷、焼成することにより、直線状の表面電極を凸部頂点を通るように複数形成する。表面電極の幅は 100 μm で、表面電極間のピッチは 2 mm に形成される。また、表面電極は、塗布膜が最も薄い凸部頂点で、反射防止膜

をファイアスルーして、つまり、電極の印刷焼成工程で、反射防止膜、塗布膜を貫通するような現象が起こり、N型半導体層と接触する。

最後に、表面電極に半田コートして光電変換素子が完成する。

上記の光電変換素子の特性を評価した。その結果を表1に示す。なお、本発明

- 5 の光電変換素子に対する比較として、図9に示すような、半導体基板の厚みが均一で、N型半導体層の厚みが表面電極間で最も薄く（ $0.1\mu\text{m}$ ）、表面電極直下全体にわたって最も厚い（ $0.4\mu\text{m}$ ）以外は、上記光電変換素子と実質的に同様の光電変換素子を作製し、その特性を評価した。

表1

	短絡電流 (mA/cm^2)	開放電圧 (mV)	FF	光電変換効率 (%)
実施例1	31.5	612	0.756	14.5
比較例	30.3	610	0.757	14.0

10

- 表1から、比較例よりも実施例1の光電変換素子の方が、短絡電流が高くなり、光電変換効率が向上していることが分かる。つまり、比較例のN型半導体層は、直線状の表面電極が形成された全ての領域直下において膜厚が厚く形成されるのに対し、実施例1のN型半導体層は、凸部頂点付近（表面電極と第2導電型半導体層との接触部分）において膜厚が厚く形成される。従って、実施例1の光電変換素子は、比較例のものよりも、
15 等価的に（光電変換素子の全面における厚みを平均化すると）第2導電型半導体層の薄型化がなされている。これにより、短波長感度をより改善できると共に、光生成されたキャリアの抵抗損失を小さくすることができる。また、接触部が点状であるため、表面電極と第2導電型半導体層との接触面積が少なく、接触によるキャリアの再結合を減らすことができる。
20

なお、N型半導体層の平均のシート抵抗は、実施例では $120\Omega/\square$ 、比較例では $90\Omega/\square$ であった。

実施例2

- 図4に示したように、ピッチが 2mm の連続した溝が形成された半導体基板を用い、
25 溝に垂直に表面電極78を形成した以外は、実施例1と同様の光電変換素子71を、同様に製造した。なお、図4中、72～79は、図1の2～9に対応する。

得られた光電変換素子の第2導電型であるN型半導体層75は、基板凸部頂点において最も厚く、凸部頂点から溝底部に向かって連続して薄くなる。最も薄いところでは0.1 μm 、最も厚いところでは0.4 μm とした。また、表面電極は溝と直交して形成され、凸部頂部でN型半導体層75と点で接触している。

- 5 上記の光電変換素子の特性を評価した。その結果を表2に示す。なお、本発明の光電変換素子に対する比較例として、図9に示すような、半導体基板の厚みが略均一で、表面電極がN型半導体層の最も厚い部分と直線状に接触している以外は、上記光電変換素子と実質的に同様の光電変換素子を作製し、その特性を評価した。

表2

	短絡電流 (mA/cm ²)	開放電圧 (mV)	FF	光電変換効率 (%)
実施例2	30.6	612	0.757	14.2
比較例	30.3	610	0.757	14.0

10

表2から、比較例よりも実施例2の光電変換素子の方が、短絡電流、開放電圧が高くなり、光電変換効率が向上していることが分かる。つまり、比較例では表面電極の接触部分が線状であるのに対し、実施例では接触部が点状であるため、表面電極と第2導電型半導体層との接触面積が少なく、接触によるキャリアの再結合を減らすことができる。

15 実施例3

図5に示したように、表面電極68形成の際に塗布膜を形成せず、また、表面電極68を半導体基板の凸部頂点に沿って溝と平行に形成されている以外は、実施例2と同様の光電変換素子61を、同様に製造した。なお、図5中、62～66及び69は、72～76及び79に対応する。

- 20 得られた光電変換素子61の第2導電型であるN型半導体層65は、基板凸部頂点において最も厚く、凸部頂点から溝底部に向かって連続して薄くなる。最も薄いところでは0.1 μm 、最も厚いところでは0.4 μm とした。また、表面電極68は凸部頂点に沿って直線状に形成され、凸部頂部でN型半導体層65と線状に接触しており、基板表面に凹凸を有する以外は図9に示す従来例と同一である。

以上に述べたようにレーザーやフォトリソグラフィ工程、多重拡散などの高価な工程を用いることなく、厚みが表面電極間で最も薄く、表面電極直下全体にわたって最も厚いN型半導体層を有する光電変換素子が作製された。

実施例 4

- 5 光電変換素子 8 1 は P 型半導体基板を用いたものであり、図 6 に示したように、第 1 導電型である P 型半導体基板 8 4 と、P 型半導体基板 8 4 の表面に形成された第 2 導電型である N 型半導体層 8 5 と、その上に形成された反射防止膜 8 6 と、P 型半導体基板 8 4 の裏面に形成された裏面電界層 8 3 とを有し、さらに、受光面である P 型半導体基板 8 4 の表面に、一方向に延設された線状の複数の表面電極 8 8 と、P 型半導体基板 8 4 の裏面に形成された裏面電極 8 2 とを備えて構成される。

P 型半導体基板の表面は溝が連続した凹凸を有しており、N 型半導体層の厚さは、凸部頂点で最も薄く、凸部頂点から凹部に向かって連続的に厚く形成されている。表面電極 8 8 は、P 型半導体基板の溝底部の接触部 8 9 において、N 型半導体層 5 と接触している。

- 15 この光電変換素子 1 は、図 7 のプロセスフローに従って形成することができる。

まず、略均一な大きさの凸部が連続した縞状に等間隔（ピッチ：2 mm）に配置された P 型半導体基板（最も厚い部分の厚さが 250 μm 程度、最も薄い部分の厚さが 200 μm 程度）上に、PSG 液等の N 型不純物を含んだ塗布液を回転塗布法により塗布し、不純物源となる塗布膜を形成する。これにより、塗布膜は、凸部頂点において最も薄く形成され、凸部頂点から略放射状に凹部に向かって連続的に厚く形成される。塗布膜の膜厚は、最も厚い部分で 100 nm 程度、最も薄い部分で 5 nm 程度に形成される。

次に、塗布膜を乾燥し、加熱することにより、P 型半導体基板に塗布膜から N 型不純物を熱拡散して N 型半導体層を形成する。N 型半導体層の厚さは、凸部頂点で最も薄く形成され、凸部頂点から凹部に向かって連続的に厚く形成される。最も薄い部分では 0.

- 25 1 μm 、最も厚い部分では 0.4 μm に形成される。

続いて、エッチングにより塗布膜を除去した後、プラズマ CVD 法により N 型半導体層表面に膜厚 700 nm 程度の略均一な膜厚の窒化シリコン膜を堆積して反射防止膜を形成する。

さらに、裏面エッチングを行って裏面側に形成されたN型半導体層を除去した後、裏面にアルミペーストを印刷、焼成して、膜厚 $5\mu\text{m}$ 程度の裏面電界層及び膜厚 $50\mu\text{m}$ 程度の裏面電極を形成する。

その後、反射防止膜上に銀ペーストを印刷、焼成することにより、直線状の表面電極を溝底部に沿うように複数形成する。表面電極の幅は $100\mu\text{m}$ で、表面電極間のピッチは 2mm に形成される。表面電極は、反射防止膜をファイアスルーして、つまり、電極の印刷焼成工程で、反射防止膜を貫通するような現象が起こり、N型半導体層と接触する。

最後に、表面電極に半田コートして光電変換素子が完成する。

10 以上のようにレーザーやフォトリソグラフィ工程、多重拡散などの高価な工程を用いることなく、厚みが表面電極間で最も薄く、表面電極直下全体にわたって最も厚いN型半導体層を有する光電変換素子が作製された。

本発明の光電変換素子の製造方法によれば、高価で煩雑なレーザーやフォトリソグラフィ及び多重拡散工程を用いることなく、塗布膜の形成、不純物の導入等の簡便な方法により、所望の膜厚勾配を有する第2導電型半導体層を確実に製造することができるため、製造コストの低減を図ることができるとともに、歩留まりを向上させることが可能となる。

請求の範囲

1. 表面に凹凸を有する第1導電型半導体基板を用いた光電変換素子において、少なくとも該第1導電型半導体基板表面に形成された第2導電型半導体層と、該第2導電型半導体層と接続された表面電極と、前記第1導電型半導体基板裏面に形成された裏面電極とを有し、

前記第2導電型半導体層が、表面電極との接触領域から離れるにしたがって薄くなる構造を有してなることを特徴とする光電変換素子。

2. 半導体基板が、所定の間隔に並んだ凸部を有し、第2導電型半導体層が、凸部から凹部に向かって薄くなる構造を有する請求項1に記載の光電変換素子。

3. 凸部に表面電極を有する請求項2に記載の光電変換素子。

4. 半導体基板が、所定の間隔に並んだ凸部を有し、第2導電型半導体層が、凸部頂点から凹部に向かって厚くなる構造を有する請求項1に記載の光電変換素子。

5. 凹部に表面電極を有する請求項4に記載の光電変換素子。

6. (a) 表面に凹凸を有する半導体基板上に、不純物拡散の障壁となる膜を、凸部から凹部に向かって厚くなるように形成する工程と、

(b) 前記膜を通して第2導電型不純物を導入して前記半導体基板表面に第2導電型半導体層を形成する工程とを含む光電変換素子の製造方法。

7. さらに、(c) 半導体基板表面の凸部に接触する表面電極を形成する工程を含む請求項6に記載の光電変換素子の製造方法。

8. (a) 表面に凹凸を有する半導体基板上に、第2導電型不純物を含んだ膜を、凸部から凹部に向かって厚くなるように形成する工程と、

(b) 前記膜から第2導電型不純物を導入して前記半導体基板表面に第2導電型半導体層を形成する工程とを含む光電変換素子の製造方法。

9. さらに、(c) 半導体基板表面の凹部に接触する表面電極を形成する工程を含む請求項8に記載の光電変換素子の製造方法。

THIS PAGE BLANK (USPTO)

図 1

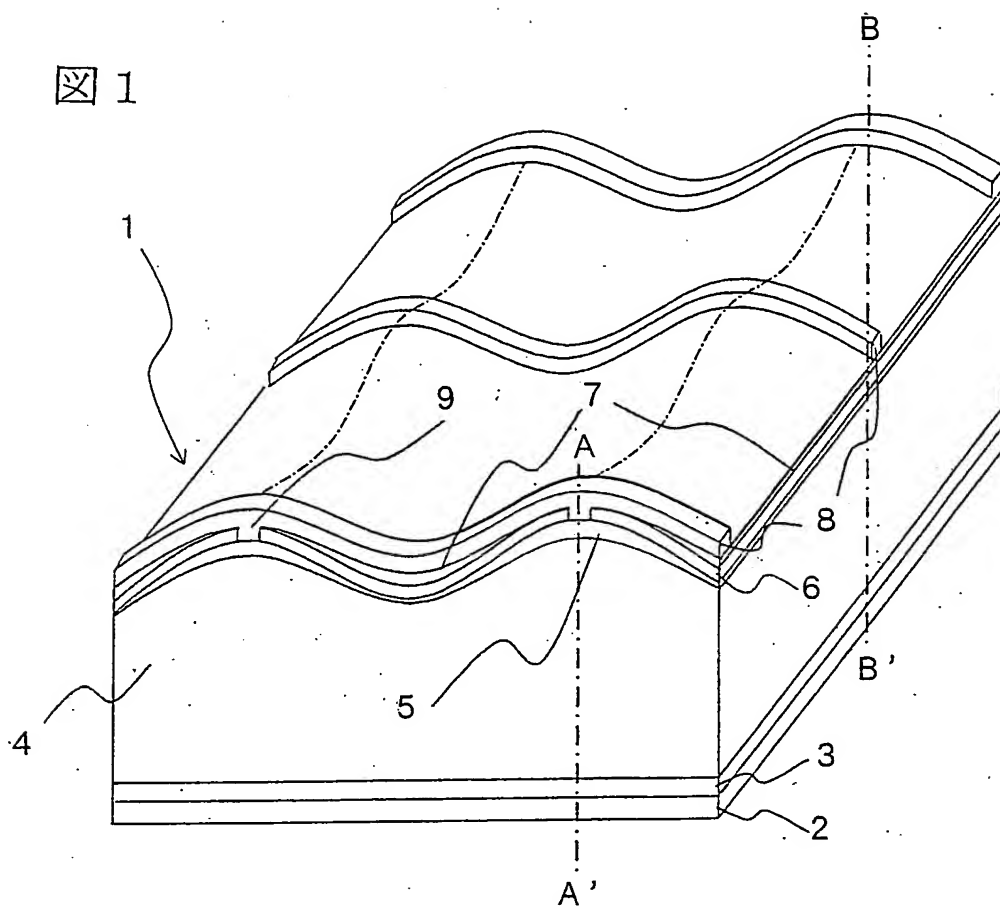
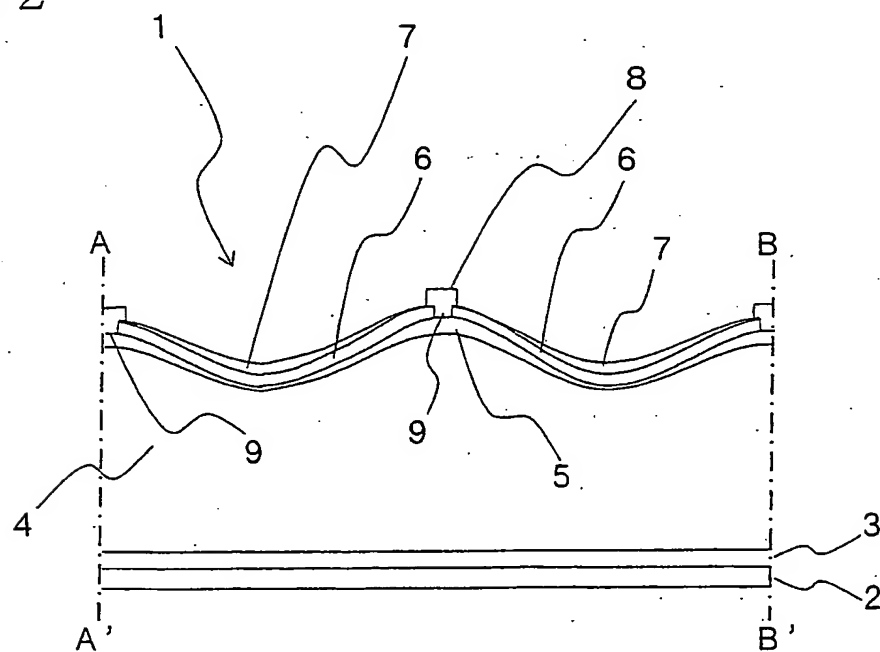
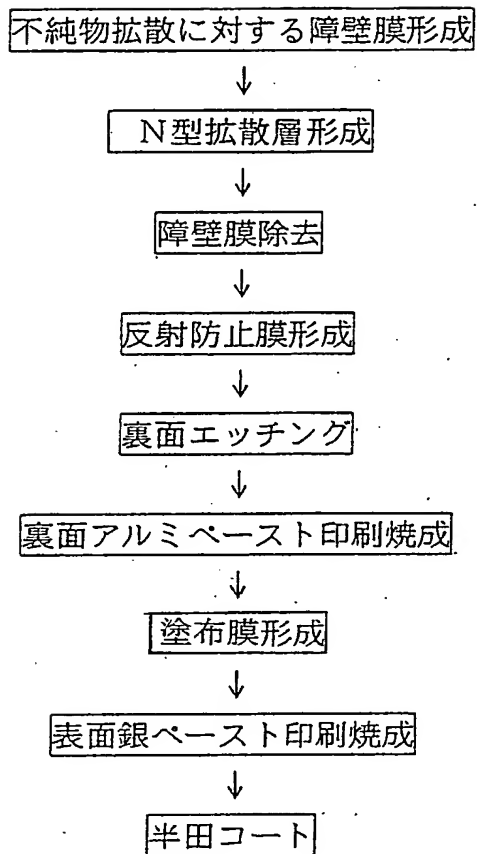


図 2



THIS PAGE BLANK (USPTO)

図 3



THIS PAGE BLANK (USPTO)

図 4

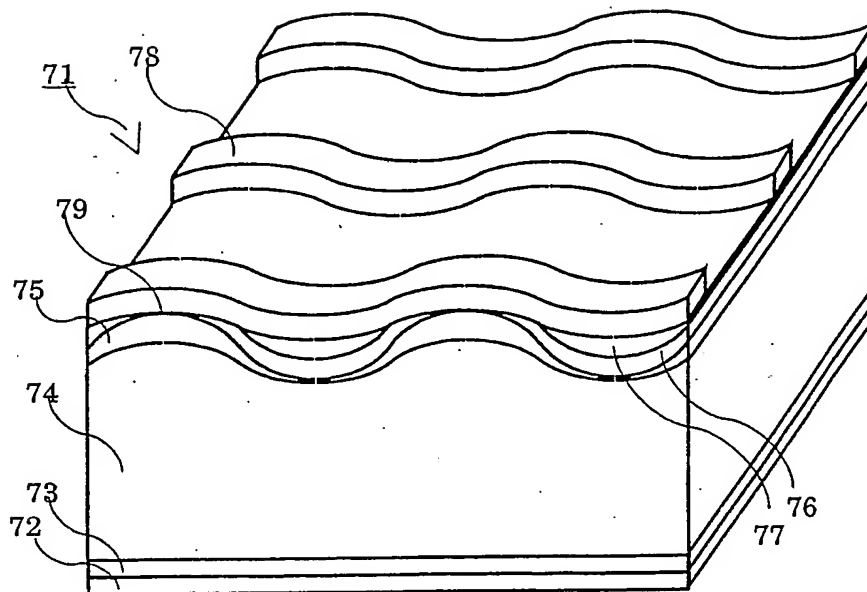
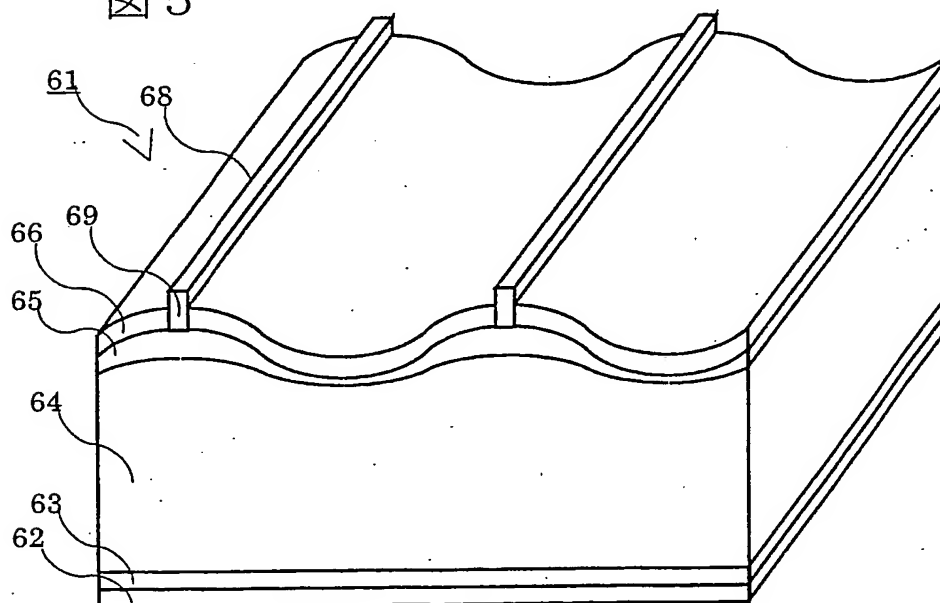


図 5



THIS PAGE BLANK (USPTO)

図 6

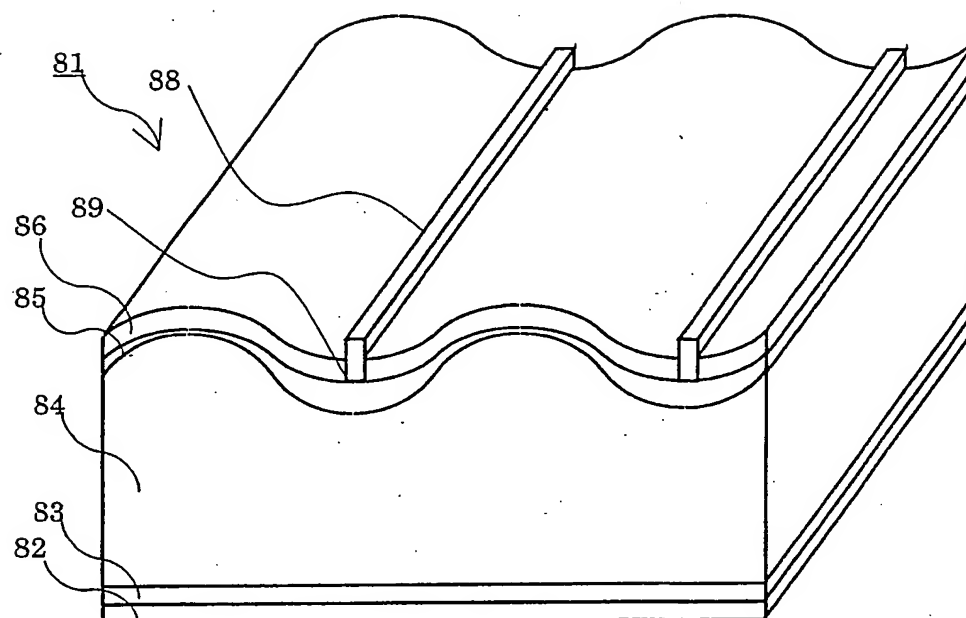
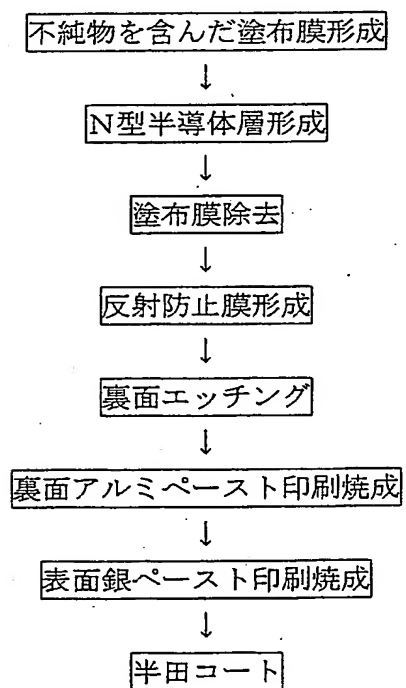


図 7



THIS PAGE BLANK (USPTO)

図 8

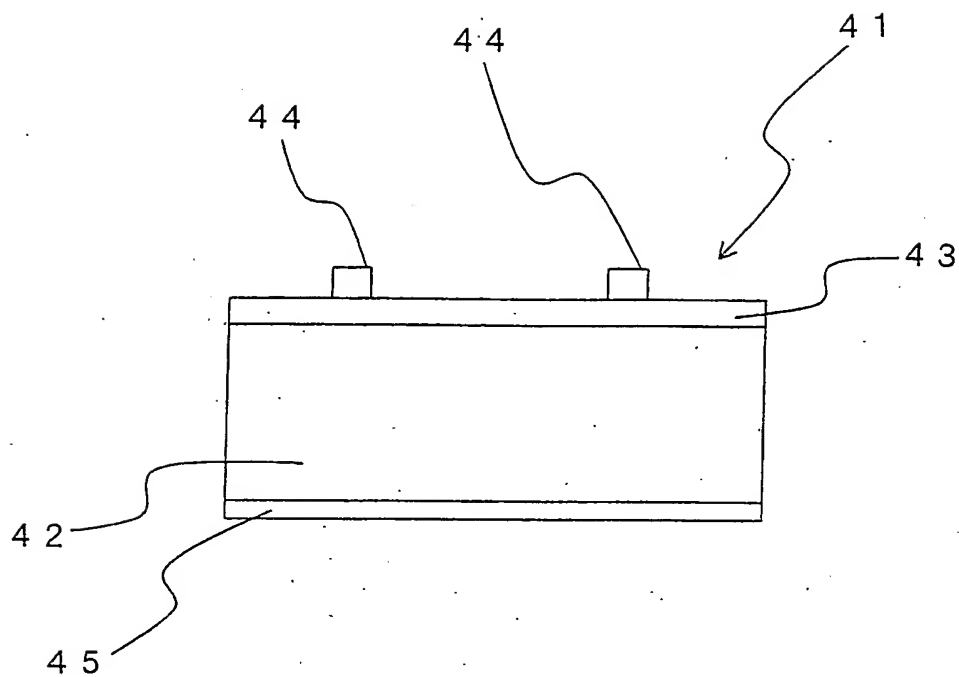
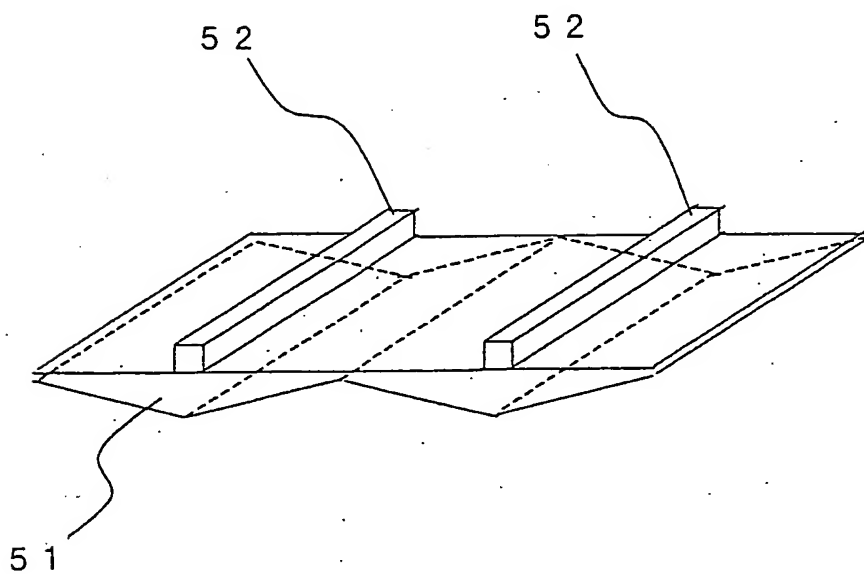


図 9



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02408

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L31/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L31/04-31/708

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 98/43304 A (Sanyo Electric Co., Ltd.), 01 October, 1998 (01.10.98), & AU 6420398 A & CN 1251210 T & EP 1005095 A & US 6207890 B & JP 3271990 B	1-5 6-9
Y A	JP 11-340486 A (Sharp Corp.), 10 December, 1999 (10.12.99), (Family: none)	6-9 1-5
A	JP 2000-323735 A (Mitsubishi Electric Corp.), 24 November, 2000 (24.11.00), (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
31 March, 2003 (31.03.03)Date of mailing of the international search report
15 April, 2003 (15.04.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/02408

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-117005 A (Matsushita Electric Industrial Co., Ltd.), 06 May, 1998 (06.05.98), & EP 837511 A & CN 1185662 A & US 6023020 A	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/04-31/708

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公案 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO 98/43304 A (三洋電機株式会社)	1-5
Y	1998. 10. 01 & AU 6420398 A & CN 1251210 T & EP 1005095 A & US 6207890 B & JP 3271990 B	6-9
Y	JP 11-340486 A (シャープ株式会社)	6-9
A	1999. 12. 10 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

31. 03. 03

国際調査報告の発送日

15.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

浜田 聖司

2K 9207

電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-323735 A (三菱電機株式会社) 2000. 11. 24 (ファミリーなし)	1-9
A	JP 10-117005 A (松下電器産業株式会社) 1998. 05. 06 & EP 837511 A & CN 1185662 A & US 6023020 A	1-9